

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-139558
 (43)Date of publication of application : 27.05.1997

(51)Int.Cl. H05K 1/03
 H05K 3/46

(21)Application number : 07-298208
 (22)Date of filing : 16.11.1995

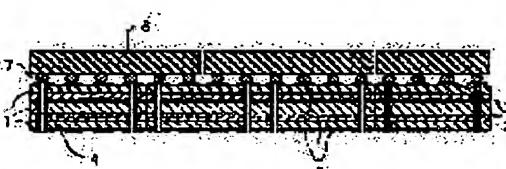
(71)Applicant : HITACHI LTD
 (72)Inventor : ITABASHI TAKESHI
 TAKAHASHI AKIO
 YOSHIMURA TOYOFUSA
 WATANABE RYUJI
 OGOSHI YUKIO
 SUZUKI HITOSHI
 SUZUKI MASAHIRO
 HIRANO TOSHINORI

(54) BARE CHIP MOUNTING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a mounting board of high reliability wherein IC's to be used in an electronic computer, a work station, etc., are directly mounted, and the thermal expansion coefficient is controlled.

SOLUTION: Conductor wiring is directly formed on the surface of an organic polymer film 1 wherein the coefficient of linear thermal expansion is $-5 \times 10^{-6}/K$ to $-5 \times 10^{-6}/K$ and the elastic modulus (Young's modulus) is at least 7GPa. The organic polymer films having conductor wiring are laminated via adhesive films 2 whose elastic modulus (Young's modulus) is at most 7GPa. The conductor wirings of the respective layers are electrically connected by using through holes 4 or non-penetrating holes which are turned into conductor. IC chip's 8 are directly connected with the conductor wiring formed on the organic polymer film surface and mounted thereon.



LEGAL STATUS

[Date of request for examination] 24.08.1999

[Date of sending the examiner's decision of rejection] 10.02.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-139558

(43)公開日 平成9年(1997)5月27日

(51)IntCL ⁸ H 05 K 1/03 3/46	識別記号 610	序内整理番号 7511-4E	F I H 05 K 1/03 3/46	技術表示箇所 610N Q
---	-------------	-------------------	----------------------------	---------------------

審査請求 未請求 請求項の数7 OL (全8頁)

(21)出願番号 特願平7-298208
(22)出願日 平成7年(1995)11月16日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 板橋 武之
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(72)発明者 高橋 昭雄
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(72)発明者 吉村 豊房
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(74)代理人 弁理士 高橋 明夫 (外1名)
最終頁に続く

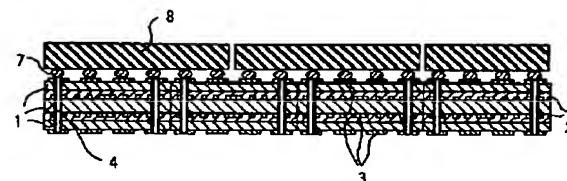
(54)【発明の名称】ペアチップ実装基板

(57)【要約】

【課題】電子計算機、ワークステーション等に使用されるICを直接搭載した、熱膨張係数が制御された高信頼性のペアチップ実装基板の提供にある。

【解決手段】線熱膨張係数が $-5 \times 10^{-6}/K$ ~ $5 \times 10^{-6}/K$ 、弾性率(ヤング率)が7GPa以上の有機高分子フィルム1の表面に直接導体配線3が形成されており、該導体配線付き有機高分子フィルムが弾性率(ヤング率)7GPa以下の接着フィルム2を介して多層化され、各層の導体配線が導体化された貫通孔4、または、非貫通孔により電気的に接続されており、前記有機高分子フィルム表面に形成された導体配線にICチップ8が直接接続、搭載されていることを特徴とするペアチップ実装基板。

図 1



1…フィルム 2…接着フィルム 3…導体配線
4…スルーホール 7…チップ接合用バンブ 8…ICチップ

【特許請求の範囲】

【請求項1】 線熱膨張係数が $-5 \times 10^{-6}/K \sim 5 \times 10^{-6}/K$ 、弾性率（ヤング率）が7GPa以上の有機高分子フィルムの表面に直接導体配線が形成されており、該導体配線付き有機高分子フィルムが弾性率（ヤング率）7GPa以下の接着フィルムを介して多層化され、各層の導体配線が導体化された貫通孔、または、非貫通孔により電気的に接続されており、前記有機高分子フィルム表面に形成された導体配線にICチップが直接接続、搭載されていることを特徴とするペアチップ実装基板。

【請求項2】 線熱膨張係数が $-5 \times 10^{-6}/K \sim 5 \times 10^{-6}/K$ 、弾性率（ヤング率）が7GPa以上の有機高分子フィルムの表面に直接導体配線が形成されており、該導体配線付き有機高分子フィルムが弾性率（ヤング率）7GPa以下の接着フィルムを介して、表面に導体配線を有するセラミック基板に積層され、セラミック表面を含めた各層の導体配線が導体化された貫通孔、または、非貫通孔により電気的に接続されており、積層された最上面の有機高分子フィルム表面に形成された導体配線にICチップが直接接続、搭載されていることを特徴とするペアチップ実装基板。

【請求項3】 線熱膨張係数が $-5 \times 10^{-6}/K \sim 5 \times 10^{-6}/K$ 、弾性率（ヤング率）が7GPa以上の有機高分子フィルムの表面に直接導体配線が形成されており、該導体配線付き有機高分子フィルムが弾性率（ヤング率）7GPa以下の接着フィルムを介して支持基板上に多層化接着され、該多層化された各層の導体配線が導体化された貫通孔、または、非貫通孔により電気的に接続され、該多層化された最上面の有機高分子フィルム表面に形成された導体配線にICチップが直接接続、搭載*

$$\alpha = \frac{(\alpha_1 \times x_1 \times E_1) + (\alpha_2 \times x_2 \times E_2) + (\alpha_3 \times x_3 \times E_3)}{(x_1 \times E_1) + (x_2 \times E_2) + (x_3 \times E_3)}$$

α が $10 \times 10^{-6}/K$ 以下であることを特徴とするペアチップ実装基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子計算機、ワクステーション等に使用されるICを直接配線基板上に搭載したペアチップ実装基板に係り、特に、熱膨張係数を制御した信頼性の高いペアチップ実装基板に関する。

【0002】

【従来の技術】近年の電子機器の高速化、小型化に伴い、ICを配線基板上に直接搭載するペアチップ実装基板の開発に対する要求が高まりつつある。

【0003】従来、IC間を電気的に接続する配線基板上への実装方法としては、ICを樹脂で完全にモールドし、その樹脂の下面あるいは4側面よりリード端子を出したICチップ部品が使用されている。

* されていることを特徴とするペアチップ実装基板。

【請求項4】 前記ICチップが接続されていない導体配線に、はんだボールが形成されている請求項1、2または3に記載のペアチップ実装基板。

【請求項5】 前記有機高分子フィルムが芳香族ポリアミドである請求項1、2または3に記載のペアチップ実装基板。

【請求項6】 前記有機高分子フィルムが芳香族ポリアミド、低熱膨張性ポリイミド、ポリベンズイミダゾールから選ばれ、前記接着フィルムが熱硬化型エポキシ系樹脂フィルム、熱可塑性ポリイミド樹脂フィルム、ポリイミド／エポキシの混合物よりなるフィルム、ポリイミド／ビスマレイミドの混合物よりなるフィルムから選ばれる接着フィルムである請求項1、2または3に記載のペアチップ実装基板。

【請求項7】 有機高分子フィルム表面に直接導体配線が形成されており、該導体配線付き有機高分子フィルムが接着フィルムを介して多層化した多層配線基板上に、ICチップが直接接続、搭載されているペアチップ実装基板であって、

前記有機高分子フィルムの線熱膨張係数を $\alpha_1 [K^{-1}]$ 、前記有機高分子フィルムの多層配線基板内に占める体積分率を x_1 、ヤング率（弾性率）を E_1 、導体配線を形成する導体物質の線熱膨張係数を α_2 、導体配線の多層配線基板内に占める体積分率を x_2 、ヤング率（弾性率）を E_2 、多層化後の前記接着フィルムの線熱膨張係数を α_3 、多層化後の接着フィルムの多層配線基板内に占める体積分率を x_3 、ヤング率（弾性率）を E_3 とした場合、

【数1】

【0004】しかし、この方法ではリード端子の多ビン化に限界が有り、配線が高密度化されたICには対応困難な状況になりつつある。また、リード端子を形成することによる信号電送の遅延も無視できず、モールドとリード端子を必要としないペアチップ実装が注目されている。

【0005】配線基板上にICを直接搭載するペアチップ実装方式には、ICの電極端子と配線基板の電極端子とを、金属ワイヤで接続するワイヤボンディング方式と、IC電極上にパンプ状の接合用金属を形成し、このパンプを介して接続するフリップチップ方式があるが、高密度実装と云う点でフリップチップ方式が優れている。

【0006】このフリップチップ実装を実現する上で、ICチップと配線基板との熱膨張差を小さくすることと、信頼性を確保する上で非常に重要な、即ち、I

Cを構成するシリコンの線熱膨張係数は約 $3 \times 10^{-6}/K$ 程度なので、それを搭載する配線基板も同程度の線熱膨張係数を有するものにする必要がある。

【0007】このような配線基板として、アルミナ、窒化珪素、ガラスセラミック等のセラミック配線基板があるが、セラミック配線基板は配線の高密度化が困難であり、狭ピッチで電極が配置されているICをフリップチップで実装するには適さない。また、セラミック材料は比誘電率が大きいため、高速電送を達成できないと云う問題がある。

【0008】上記課題に対し、積層焼結したセラミック基板上にポリイミド等の有機絶縁膜を形成し、CuやAlの導体層を薄膜プロセスで形成した薄膜・厚膜混成基板が提案されている。

【0009】一般的にポリイミド等の有機絶縁膜の比誘電率はセラミックより小さく、低抵抗のCuやAlを配線に用いることにより信号伝送の高速化と、半導体プロセス適用による高密度化を達成できる。

【0010】薄膜・厚膜混成基板を形成する従来技術の基本的プロセスは以下のようである。先ず、セラミック基板上にポリイミド等のワニスをスピンドルコートし、加熱硬化させて有機層間絶縁膜を得る。次いで、レーザあるいはドライエッティング等によりピアホールを形成し、スパッタや蒸着によりピアホール内および有機層間絶縁膜表面に導体層を形成する。その後、有機層間絶縁膜上の導体層表面にフォトレジストを形成して露光、現像により配線パターンを形成する。このフォトレジストを介し導体層をウェットエッティング後、レジストを剥離すると所定の導体配線を得ることができる。これに再びワニスをスピンドルコートし、上記工程を繰り返すことによって多層化するものである。

【0011】しかし、上記の従来技術では有機層間絶縁膜をワニスのスピンドルコートで形成するため、1回の塗布で形成できる絶縁膜の厚さは $5 \mu m$ 程度で、セラミック基板表面の凹凸やボイド、下地絶縁層と導体配線の段差等のカバーレッジ性が不十分で、歩留まり低下の原因となっていた。

【0012】従って、配線基板の層間絶縁信頼性やインピーダンスを考慮すると、通常、数回繰り返し塗布する必要があり、スルーブット低下をもたらすと云う問題があり、絶縁層のフィルム化が切望されていた。

【0013】また、別的方法として配線が形成されたポリイミドフィルムを一括積層し、スルーホール部を熱圧着する方法が特開昭63-274199号公報に開示されている。このプロセスはスルーブット時間を短縮する上で効果的ではあるが、一般にポリイミドシートは熱膨張係数が $18 \times 10^{-6}/K$ 程度と大きく、弾性率も $7 GPa$ 程度と大きめであるため、熱膨張係数の小さなセラミック等の無機化合物よりも配線基板上に積層した場合、両者の熱膨張係数の差に基づく基板の反り等に基づ

く内部応力の蓄積が問題となる。従って、薄膜配線部分の多層化には限界があり、せいぜい10層程度までである。

【0014】また、10層以下の薄膜配線を形成した配線基板においても、搭載する裸のIC(ペアチップ)の熱膨張係数が、通常、 $3 \times 10^{-6}/K$ 程度と小さいため、薄膜配線層の層間絶縁膜として熱膨張係数の大きなポリイミドシートを用いた場合には、ICと配線基板との間の熱膨張係数の差から、接続信頼性が著しく低下する云う問題がある。

【0015】有機層間絶縁膜を多層化した配線基板の熱膨張係数を小さくする方法として、ほぼ全面に配線導体層のシールド層を、熱膨張係数が小さく、かつ、弾性率が $100 GPa$ 以上のW、Mo、Fe-Ni系合金、または、Fe-Ni-Co系合金で形成することで、配線基板全体の熱膨張係数を $1 \times 10^{-6}/K$ 以下にすると云う方法が特開平6-53684号公報に開示されている。

【0016】しかし、この方法は熱膨張係数の大きな有機層間絶縁膜の熱膨張を、シールド層で押さえ込むと云う発想であるため、例えば、信号配線層2層に対しシールド層1層を必ず挿入しなければならないと云う配線基板の設計上に制約がある。

【0017】さらに、多層配線基板の熱膨張係数を小さくする他の方法として、海島構造を有する絶縁層を用いる方法が特開平7-86710号公報に開示されている。ここで用いられる絶縁層はガラス繊維の織布補強材や無機フィラーを樹脂で含浸している。しかし、こうしたガラス繊維や無機フィラーを用いた場合には、絶縁層の加工性が著しく低下すると云う問題が生じる。この加工性の低下は、後述するように多層基板の高密度化において致命的な欠点となる。

【0018】また、線熱膨張係数の小さな芳香族ポリアミドを用いたフレキシブルプリント基板が特開平3-60181号公報に開示されているが、これは片面もしくは両面に導体配線を設けた配線基板で多層化したものではない。このようなフレキシブルプリント基板を従来法により多層化する場合には、接着材と導体配線のヤング率(弾性率)と線熱膨張係数が大きいため、多層化した配線基板の全体の線熱膨張係数はチップ実装には適しない大きなものとなってしまう。

【0019】

【発明が解決しようとする課題】セラミック基板上あるいはシリコンウェーファ上に線熱膨張係数の大きな有機絶縁膜を形成し、薄膜配線層を形成した多層配線基板は、セラミック基板あるいはシリコンウェーファと有機層間絶縁膜の熱膨張差が大きいため内部応力が増大して基板に反りや割れを生じる。基板の反りは、配線パターンの精度低下やパターンの位置ずれの原因となり、ペアチップ実装の大きな弊害となる。

【0020】また、低熱膨張金属をシールド層に用いて基板全体の熱膨張係数を小さくする方法では配線基板の設計が制限され問題となる。

〔0021〕さらに、有機層間絶縁膜の熱膨張係数を下げる方法としての、ガラス繊維や無機化合物の微粒子等からなるフィラを有機高分子フィルム内に混入させる方法では、有機層間絶縁膜の上下に形成される導体層の電気的接続を行うピアホールの加工時に、ガラス繊維やフィラが障害となりレーザやドライエッティングによる微細穴空け加工ができないと云う問題が生じる。現状ではこのような材料の穴空け加工はドリル加工を行う以外に方法が無く、これでは穴径の微細化、配線の高密度化を図る上で障害となり、高密度な導体接続が要求されるペアチップ実装基板には適さない。

【0022】本発明の目的は、電子計算機、ワクステーション等に使用されるICを直接搭載するペアチップ実装基板として、特に、熱膨張係数が制御された信頼性の高い高密度実装用のペアチップ実装基板の提供にある。

[0023]

【課題を解決するための手段】本発明は、上記課題を解決するためになされたもので、その要旨は以下のとおりである。

〔0024〕線熱膨張係数が $-5 \times 10^{-6}/\text{K}$ ~ $5 \times 10^{-6}/\text{K}$ 、弾性率(ヤング率)が7GPa以上の有機高分子フィルムの表面に直接導体配線が形成されており、該導体配線付き有機高分子フィルムが弾性率(ヤング率)7GPa以下の接着フィルムを介して多層化され、各層の導体配線が導体化された貫通孔、または、非貫通孔により電気的に接続されており、前記有機高分子フィルム

$$\alpha = \frac{(\alpha_1 \times x_1 \times E_1) + (\alpha_2 \times x_2 \times E_2) + (\alpha_3 \times x_3 \times E_3)}{(x_1 \times E_1) + (x_2 \times E_2) + (x_3 \times E_3)}$$

〔0031〕 α が 10×10^{-6} /K以下としたペアチップ実装基板にある。

[0032]

【発明の実施の形態】図1に本発明のペアチップ実装基板の一例である模式断面図を示す。前記の低熱膨張と高弾性率を有する有機高分子のフィルム1を、前記の低弾性率の接着フィルム2を介して多層化積層接着し、導体配線3はフィルム1上に形成されている。さらにその上面にはICチップがフリップチップ法により実装されている。

【0033】本発明のペアチップ実装基板は、熱膨張係数が小さく弹性率の大きな有機高分子フィルム1が、弹性率の小さな接着フィルム2の熱膨張を拘束することにより、基板全体の熱膨張を抑えるため、ICチップが直接搭載できるのである。この有機高分子のフィルム1としては、芳香族ポリアミド、低熱膨張性ポリイミド、ポリベンズイミダゾールのフィルムを用いることができ

* ルム表面に形成された導体配線にICチップが直接接続、搭載されていることを特徴とするペアチップ実装基板。

〔0025〕このときの接着層の線熱膨張係数は、多層化した配線基板全体としての線熱膨張係数が $10 \times 10^{-9}/K$ 以下となる範囲でよいが、これは多層基板中に占める接着層の体積分率により決まる。線熱膨張係数が $10 \times 10^{-9}/K$ 以下とした配線基板は IC チップの線熱膨張係数に近いため、接続信頼性が高い。

【0026】有機層間絶縁膜となる有機高分子フィルムは、芳香族ポリアミド、低熱膨張性ポリイミド、ポリベンズイミダゾールから選ばれ、該フィルム中にはガラス織維やフィラを含まない。

【0027】上記ペアチップ実装基板は、多層化された配線基板をセラミック基板あるいはシリコンウエーファ等の無機化合物基板上に積層接着したものでもよい。

【0028】上記ペアチップ実装基板のICチップが接続されていない導体配線には、接続用のはんだボールが形成されていてもよい。

〔0029〕また、前記有機高分子フィルムの線熱膨張係数を α_1 [K⁻¹]、前記有機高分子フィルムの多層配線基板内に占める体積分率を x_1 、ヤング率（弾性率）を E_1 、導体配線を形成する導体物質の線熱膨張係数を α_2 、導体配線の多層配線基板内に占める体積分率を x_2 、ヤング率（弾性率）を E_2 、多層化後の接着フィルムの線熱膨張係数を α_3 、多層化後の接着フィルムの多層配線基板内に占める体積分率を x_3 、ヤング率（弾性率）を E_3 とした場合、

[0030]

【数2】

三

【0034】また、上記の多層化した配線基板を、熱膨張係数の小さな無機化合物からなる基板上に接着しても、熱膨張差による剥離やクラック等の発生を防止することができる。その一例として、図3にセラミックと導体配線よりなる厚膜配線基板5上に有機高分子のフィルム1を接着フィルム2を介して多層化し、さらにその上面にICチップ8をフリップチップ法により実装したペアチップ実装基板の模式断面図を示す。

【0035】セラミック基板5上に形成された、多層配線層の熱膨張係数は $10 \times 10^{-6}/\text{K}$ 以下であるため、ICチップとの熱膨張差およびセラミック基板との熱膨張差が共に小さいため、接続信頼性の高いペアチップ実装基板が得られる。さらに、多層配線層とセラミック基板との熱膨張差が小さいため、従来10層程度が限界と考えられていた多層化限界を大幅に改善することができる。

【0036】本発明は、前記数2式で示すように、有機高分子フィルムと導体配線材料、接着フィルムの各体積分率と物性値の制御も重要である。

【0037】

【実施例】

【実施例 1】図3は本実施例により得られた配線基板の模式断面図である。両面に膜厚5μmの銅箔の付いた芳香族ポリアミドのフィルム1の銅箔上に、感光性レジ*

*ストを形成し、露光、現像により配線パターンを形成した。本実施例で用いた芳香族ポリアミドフィルムは、表1に示す8種類である。なお、ここで用いた芳香族ポリアミドはポリバラフェニレンテレフタルアミドであるが、分子配向性の違いにより熱膨張係数および弾性率が異なっている。

【0038】

【表1】

表 1

多層化前の有機高分子フィルムの特性				配線基板*
厚さ (μm)	線膨張係数 (×10 ⁻⁶ /K)	弾性率 (GPa)	銅配線面積率(%) 〔体積分率〕	線膨張係数 (×10 ⁻⁶ /K)
1.0	-5.0	7	1.0 [5.0]	9.5
1.0	-5.0	1.5	1.0 [5.0]	3.6
2.5	2.8	7	1.0 [2.9]	9.8
2.5	2.8	1.5	1.0 [2.9]	6.5
5.0	2.8	7	1.0 [1.7]	6.9
5.0	2.8	1.5	1.0 [1.7]	5.0
5.0	5.0	7	1.0 [1.7]	8.7
5.0	5.0	1.5	1.0 [1.7]	6.8

* 12層多層化後

【0039】次に、塩化鉄の塩酸酸性エッティング液（塩化鉄(III)1.0g/l、塩酸0.6N）を用いてフィルム1の両面に導体配線3として銅配線パターンを形成した。これらの銅配線面積率は両面それぞれ約10%である。

【0040】これらの銅配線を形成したフィルムに、ポリイミドとビスマレイミドの重量混合比1:1の混合物からなる接着フィルム2を介在させて250°C、15MPaで1時間加熱、圧着し、多層化（12層）した。なお、接着フィルム2の膜厚は10μm、熱膨張係数5.3×10⁻⁶/K、弾性率2.4GPaであり、200°Cにて1時間加熱しイミド化した半硬化状態のフィルムを用いた。

【0041】芳香族ポリアミドフィルムを12層積層した時の各多層配線基板の熱膨張係数を、熱物理試験器（TMA）を用いて測定した結果を表1に併せて示す。これらの熱膨張係数はいずれも10×10⁻⁶/K以下であり、熱膨張係数が小さく弾性率の大きな芳香族ポリアミドフィルムにより、配線基板全体の熱膨張が抑制されていることが分かる。

【0042】次に、これらの多層配線基板の層間の電気的接続を得るため、エキシマレーザによりスルーホール4を形成後、感光性レジストを形成し、露光、現像によりスルーホール部以外をレジストで覆った。バラジウムコロイドよりなるめっき触媒液を用いて、公知の方法で該多層基板にめっき触媒を付与し、レジストを剥離後、無電解銅めっきによりスルーホール内部を導体化した。この時の銅めっきの厚さは10μmとした。

【0043】その後、半田パンプを形成したICチップ

8を直接、該配線基板上に実装した。これらICを直接接続、搭載した実装基板を、-65°C～+150°Cのヒートサイクル試験を100回行った。

【0044】その結果、熱膨張係数の差に基づく層間の剥離、クラック等の発生は認められなかった。さらに、該実装基板に、電気特性測定用のテストプローブを当て、電気的応答信号試験を行った。その結果、ヒートサイクル試験前後での変化はほとんど認められず、信頼性の高いペアチップ実装基板を得ることができた。

【0045】【実施例 2】本実施例により得られたペアチップ実装基板の模式断面図を図2に示した。

【0046】実施例1で用いた芳香族ポリアミドフィルムの両面の銅箔を、塩化鉄の塩酸酸性エッティング液を用いて完全に除去した後、実施例1と同じ接着フィルム2を用いてアルミナセラミック配線基板5上に接着した。

【0047】次に、マスク投影法でエキシマレーザにより芳香族ポリアミドフィルム/接着フィルムの2層構造からなる絶縁層に、直径30μmのピアホール6を形成した。このピアホール6は、アルミナセラミック配線基板5の表面の導体ランド上に位置精度良く形成された。次にピアホール6の底部より無電解銅めっきを析出させて、ピアホール6内を完全に銅で充填した。

【0048】次いで、芳香族ポリアミドフィルム表面にスパッタリング法により、Cr/Cu/Crの3層（それぞれ0.05μm/5μm/0.05μm）からなる導体膜を形成した。導体膜上に感光性レジストを形成し、露光、現像により配線パターンを形成した後、エッティング法により3層導体よりなる信号配線を形成した。さらに、この上面に芳香族ポリアミドフィルムを接着フィル

ムを用いて接着し、同様なプロセスにより逐次多層化法により6層の多層配線基板を作製した。

【0049】上記のフィルム1として熱膨張係数が小さく、弾性率の大きな芳香族ポリアミドフィルムを用いているため、有機絶縁層の熱膨張が抑制され、アルミナセラミック基板に反りやクラック、層間剥離は認められなかった。

【0050】また、-65°C～+150°Cのヒートサイクル試験を100回行なった後においてもクラック、層間剥離は認められなかった。

【0051】【実施例3】実施例1で得られた多層配線基板を、実施例1と同じ接着フィルム2を用いてアルミナセラミック基板、ガラスセラミック基板、ムライトセラミック基板上にそれぞれ接着し、さらにICチップを直接搭載した。

【0052】各基板に反りやクラック、層間剥離は認められなかった。また、-65°C～+150°Cのヒートサイクル試験を100回行なった後においてもクラック、層間剥離は認められなかった。

【0053】【実施例4】実施例1で得られた多層配線基板を、実施例1と同じ接着フィルム2を用いてシリコン基板上に接着し、さらにICチップを直接搭載した。

【0054】シリコン基板にクラック、層間剥離は認められなかった。また、-65°C～+150°Cのヒートサイクル試験を100回行なった後においてもクラック、層間剥離は認められなかった。

【0055】【実施例5】実施例2と同様にして、シリコン基板上に多層配線基板を形成し、さらにICチップを直接搭載した。これも同様に、シリコン基板にクラック、層間剥離は認められなかった。また、-65°C～+150°Cのヒートサイクル試験を100回行なった後においてもクラック、層間剥離は認められなかった。

【0056】【実施例6】実施例1で得られた多層配線基板を、実施例1と同じ接着フィルム2を用いてアルミニウム支持基板上に接着し、さらにICチップを直接搭載した。この場合も、アルミニウム支持基板には反りや、多層配線基板にクラックは認められなかった。また、-65°C～+150°Cのヒートサイクル試験を100回行なった後においてもクラックや、界面剥離は認められなかった。

【0057】【実施例7】有機高分子フィルムとして、ポリイミドフィルムを用いた以外は実施例1と同様な検討を行った。上記ポリイミドフィルムは、日立化成工業社製P IQ-L 100ワニスをガラス板上に塗布し、加熱硬化したフィルムである。得られたフィルムの膜厚は50 μmであり、熱膨張係数は4.2 × 10^-5/K、弾性率は7 GPaであった。

【0058】得られた多層配線基板は、熱膨張係数が小さく弾性率の大きなポリイミドフィルムにより、配線基

板全体の熱膨張が抑制されていることが分かった。

【0059】また、ICを直接搭載したペアチップ実装基板は実施例1と同様に良好な信頼性を示した。

【0060】【実施例8】有機高分子フィルムとして、実施例7のポリイミドフィルムを用いた以外は、全て実施例2と同様にしてアルミナセラミック配線基板上に多層配線層を作製した後、ICチップを直接搭載しペアチップ実装基板を作製した。その結果、実施例2と同様に高信頼性のペアチップ実装基板が得られた。

【0061】【実施例9】有機高分子フィルムとして、実施例7のポリイミドフィルムを用いた以外は実施例3と同様に多層配線基板を、実施例1の接着フィルム2を用いてアルミナセラミック基板、ガラスセラミック基板、ムライトセラミック基板上にそれぞれ接着し、さらにICチップを直接搭載した。

【0062】各基板に反りやクラック、層間剥離は認められなかった。また、-65°C～+150°Cのヒートサイクル試験を100回行なった後においてもクラック、層間剥離は認められなかった。

【0063】【実施例10】有機高分子フィルムとして、実施例7のポリイミドフィルムを用いた以外は全て実施例4と同様に実施例1の接着フィルム2を用いてシリコン基板上に接着し、さらにICチップを直接搭載した。

【0064】シリコン基板に反りやクラック、層間剥離は認められなかった。また、-65°C～+150°Cのヒートサイクル試験を100回行なった後においてもクラック、層間剥離は認められなかった。

【0065】【実施例11】有機高分子フィルムとして、実施例7のポリイミドフィルムを用いた以外は、実施例2と同様にシリコン基板上に多層配線基板を形成し、さらにICチップを直接搭載した。得られた配線基板は実施例5と同様に高信頼性を示した。

【0066】【実施例12】有機高分子フィルムとして、実施例7のポリイミドフィルムを用いた以外は実施例6と同様に、実施例1の接着フィルム2を用いてアルミニウム支持基板上に接着し、さらにICチップを直接搭載した。その結果、本実施例で得られた配線基板は高信頼性を示した。

【0067】

【発明の効果】本発明のペアチップ実装基板は、有機高分子フィルムを用いた多層配線層の熱膨張が小さく抑えられているため、ICやセラミック基板との接着においても、クラックや剥離の発生がない高信頼性ものを提供することができる。

【0068】従って本発明の多層配線基板は、ICを直接搭載できるために、よりICの高密度実装が可能となり、かつ、有機高分子フィルムを用いたことにより信号の伝送速度も速く、該ペアチップ実装基板を用いた電子装置をより小型軽量化することができる。

【図面の簡単な説明】

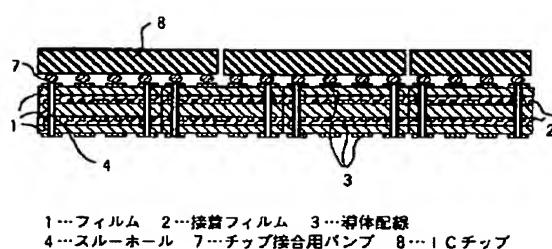
【図1】本発明一実施例の配線基板の断面模式図である。

【図2】本発明一実施例の配線基板の断面模式図である。

【図3】本発明一実施例の配線基板の断面模式図である *

【図1】

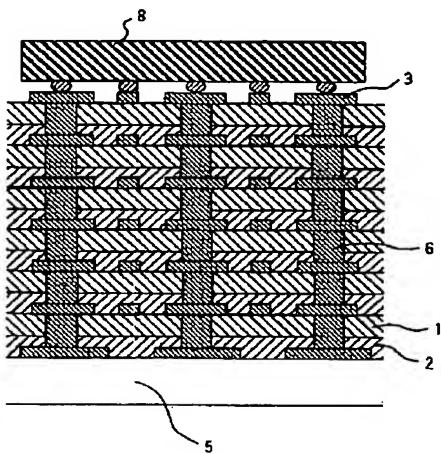
図 1



1…フィルム 2…接着フィルム 3…導体配線
4…スルーホール 7…チップ接合用バンブ 8…ICチップ

【図2】

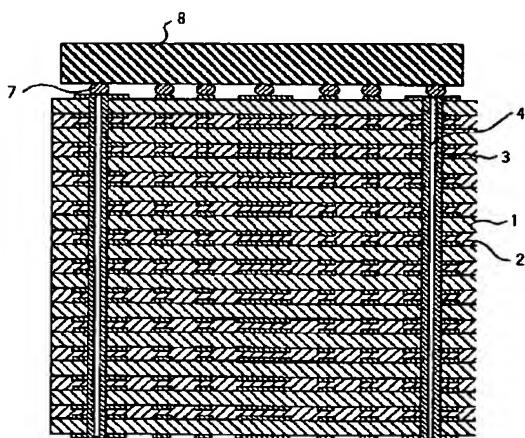
図 2



5…セラミック配線基板 6…ピアホール

【図3】

図 3



フロントページの続き

(72)発明者 渡辺 隆二

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 大越 幸夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 鈴木 斎

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 鈴木 正博

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 平野 利則

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内